



#4

Packet No.: MUH-11581

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231.

By: Loren D. Pearson

Date: September 13, 2001

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Aaron Nygren
Appl. No. : 09/910,342
Filed : July 20, 2001
Title : Buffer Device

CLAIM FOR PRIORITY

Hon. Commissioner of Patents and Trademarks,
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 100 35 424.6 filed July 20, 2000.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

Loren D. Pearson

LOREN D. PEARSON
REG NO. 42,987

Date: September 13, 2001

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb



**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

Aktenzeichen: 100 35 424.6

Anmeldetag: 20. Juli 2000

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Zwischenspeichereinrichtung

IPC: H 04 L und G 06 F

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 17. Juli 2001
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Agurks

Beschreibung

Zwischenspeichereinrichtung

- 5 Die Erfindung betrifft eine Zwischenspeichereinrichtung gemäß dem Oberbegriff des Anspruchs 1.

Beim Austausch digitaler Daten zwischen einer sendenden Einrichtung und einer empfangenden Einrichtung wird im Übertragungskanal häufig eine Zwischenspeichereinrichtung vorgesehen. Diese Zwischenspeichereinrichtung dient dem Auffangen und Puffern der von der sendenden Einrichtung übermittelten Daten sowie der Abgabe der zwischengespeicherten Daten an die empfangende Einrichtung, und zwar in einer Art und Weise, die
10 den unterschiedlichen Zeitstrukturen von sender Einrichtung und empfangender Einrichtung Rechnung trägt. Somit sind bekannte Zwischenspeichereinrichtungen zwischen sendenden und empfangenden Einheiten dazu ausgebildet, eine Synchronizität zwischen dem ausgesandten und dem weitergeleiteten und dann
15 schließlich empfangenen Datenstrom herzustellen.
20

Da unterschiedliche Systemanforderungen eine unterschiedlich rasche Datenabgabe an die empfangende Einheit oder Einrichtung erforderlich macht, sind bekannte Zwischenspeichereinrichtungen als sogenannte FIFO-Latches (first-in-first-out) ausgelegt. Diese bekannten FIFO-Latches geben die empfangenen Daten in der Reihenfolge und gemäß einer vordefinierbaren Latenz, Latenzzeit oder Verzögerungszeit nach dem Empfang von der sendenden Einrichtung an die empfangende Einrichtung ab,
25 in der sie auch empfangen werden. Dabei werden die zwischengespeicherten Daten am Ausgang jeweils solange gehalten, bis
30 die empfangende Einheit zum Empfang bereit ist und die Daten vom Zwischenspeicher übernimmt.

- 35 Demgemäß sind bekannte Zwischenspeichereinrichtungen zur Aufnahme und Zwischenspeicherung einer Eingangsleitungseinrichtung zugeführte Eingangsdaten und zur Ausgabe von mit den

Eingangsdaten im wesentlichen korrespondierenden Ausgangsdaten auf eine Ausgangsleitungseinrichtung ausgebildet und können dazu in bezug auf die Latenz oder Verzögerungszeit bis zur Datenausgabe ausgewählt werden. Diese bekannten Zwischenspeichereinrichtungen weisen jeweils eine Mehrzahl von sogenannten Latchstufen, also Datenhaltestufen auf, welche ihrerseits jeweils zumindest eine Latcheinrichtung, den eigentlichen Zwischenspeicher, sowie eine Multiplexeinrichtung umfassen. Die Multiplexeinrichtung ist dabei jeweils so in der jeweiligen Latchstufe angeordnet und ausgebildet, daß einem jeweiligen Datenausgangsanschluß der Latchstufe steuerbar wahlweise zumindest entweder in einem ersten Auswahlzustand der Multiplexeinrichtung die an der Eingangsleitungseinrichtung der Zwischenspeichereinrichtung anliegenden Eingangsdaten direkt oder in einem zweiten Auswahlzustand der Multiplexeinrichtung in der Latcheinrichtung der jeweiligen Latchstufe zwischengespeicherte Daten zuführbar sind.

Durch die steuerbare Wahl der Auswahlzustände der Multiplexeinrichtungen der Gesamtheit von Latchstufen wird somit die insgesamt nach außen hin wirksame Latenz definiert. Jede Latchstufe für sich bewirkt aufgrund der Abfolge von Latcheinrichtung und Multiplexeinrichtung eine gewisse Latenzzeit, Latenz oder Verzögerungszeit. Die Aneinanderreihung oder Anordnung in Serie der aufeinanderfolgenden Latchstufen bewirkt dann je nach Wahl der aktivierten Multiplexeinrichtungen die Auswahl einer bestimmten Latenz, so daß beim Vorliegen von $n-1$ in Serie geschalteten Latchstufen n verschiedene Latenzen auswählbar sind.

30

Bei der Zwischenspeicherung, insbesondere mit auswählbar verschiedenen Latenzen oder Verzögerungen, müssen die Ausgangsdaten auf der Ausgangsleitungseinrichtung unabhängig davon, welche Latenz ausgewählt wurde, auch dann stabil gehalten werden, wenn kein Aktivierungsbefehl oder Lesebefehl auf die Latcheinrichtungen zugreift und auch dann wenn die ausgangseitig erste Multiplexeinrichtung, also die Latenz 1, ausge-

wählt wurde, bei welcher bei bekannten Zwischenspeichereinrichtungen eben keine weitere Latcheinrichtung nachfolgt, welche die anliegenden Ausgangsdaten stabil halten könnte.

- 5 Der Erfindung liegt die Aufgabe zugrunde, eine Zwischenspeichereinrichtung zu schaffen, bei welcher auf besonders einfache Art und Weise sichergestellt wird, daß auf der Ausgangsleitungseinrichtung anliegende Ausgangsdaten für jede ausgewählte Latenz und unabhängig vom Vorliegen eines Aktivierungs-
10 rungszustandes der Latcheinrichtungen stabil gehalten werden.

- Die Aufgabe wird bei einer Zwischenspeichereinrichtung der eingangs erwähnten Art erfindungsgemäß mit den kennzeichnenden Merkmalen des Anspruchs 1 gelöst. Vorteilhafte Weiterbil-
15 dungen der erfindungsgemäßen Zwischenspeichereinrichtung sind Gegenstand der abhängigen Unteransprüche.

- Die erfindungsgemäße Zwischenspeichereinrichtung ist dadurch gekennzeichnet, daß zumindest die Multiplexeinrichtung der
20 ausgangsseitig ersten Latchstufe im Bereich einer zur Daten-zwischenspeicherung vorgesehenen Rückkoppelschleife der Latcheinrichtung dieser Latchstufe derart integriert ausgebildet ist, so daß auf der Ausgangsleitungseinrichtung ausgegebene oder anliegende Daten dort stabil, insbesondere unabhängig
25 vom Aktivierungszustand der Latcheinrichtungen der Latchstufen und/oder von einer aktuellen Änderung der Eingangsdaten, haltbar sind.

- Beim Stand der Technik wird zur Vermeidung des Problems der
30 Instabilität des Ausgangssignals für eine ausgewählte Latenz 1 ein zusätzlicher Latchmechanismus in der Zwischenspeichereinrichtung entweder für das Eingangssignal oder für das Ausgangssignal vorgesehen. Dies hat die Nachteile zusätzlicher Leistungsaufnahme und des Erzeugens zusätzlichen Rau-
35 schens auf den Leitungen. Ferner sind die Ausgangsdaten der Ausgangsdatenleitung in einem nicht vorhersagbaren Zustand, falls für die einzelnen vorangehenden Latcheinrichtungen ins-

gesamt kein Aktivierungssignal vorliegt. Des weiteren werden für den zusätzlichen Latchmechanismus entsprechende elektronische Bauelemente und ein Datenpfad vorgesehen, welche auf dem integrierten Baustein Platz benötigen und die Performance, insbesondere die Geschwindigkeit, der Zwischenspeichereinrichtung verschlechtern.

Eine Grundidee der vorliegenden Erfindung ist dagegen, daß eine ohnehin vorzusehende Multiplexeinrichtung, insbesondere die der ausgangsseitig ersten Latchstufe, im Bereich einer zur Datenzwischenspeicherung vorgesehenen Rückkoppelschleife der Latcheinrichtung ausgebildet ist. Dadurch wird gewährleistet, daß das Auswählen der Multiplexeinrichtung in der zur Zwischenspeicherung ohnehin vorgesehenen Rückkoppelschleife erfolgt, wodurch der dort vorhandene Latchmechanismus oder die Latcheinrichtung zur Zwischenspeicherung und zur Stabilisierung mit verwendet wird. Dadurch bleibt ausgangsseitig von der ersten Latcheinrichtung das Datensignal auf der Ausgangsleitungseinrichtung stabil, und zwar unabhängig davon, ob eine Latenz ausgewählt wurde, welche Latenz ausgewählt wurde und auch unabhängig davon, ob irgendeine der Latcheinrichtungen durch einen entsprechenden Aktivierungsbefehl zum Auslesen aktiviert wurde oder nicht.

Es ist dazu in vorteilhafter Weise vorgesehen, daß jede Latchstufe für sich mindestens einen Dateneingangsanschluß und einen Datenausgangsanschluß aufweist. Die Latchstufen sind ferner so im wesentlichen in Serie angeordnet, daß von der Eingangsleitungseinrichtung zur Ausgangsleitungseinrichtung der Zwischenspeichereinrichtungen hin der Datenausgangsanschluß einer jeweiligen vorangehenden Latchstufe jeweils mit dem Dateneingangsanschluß einer direkt nachfolgenden Latchstufe verbunden ist. Durch diese Anordnung wird gerade gewährleistet, daß die Abfolge der aufeinanderfolgenden Latchstufen die Kaskadierung und Abfolge der auswählbaren Latenzen definiert.

Obwohl es grundsätzlich ausreichend ist, daß zur Stabilisierung des an der Ausgangsleitungseinrichtung anliegenden Ausgangssignals zunächst nur die Multiplexeinrichtung der ausgangsseitigen ersten Latchstufe in die Latcheinrichtung, und zwar insbesondere in eine dort vorgesehene Rückkoppelschleife zur Zwischenspeicherung ausgebildet ist, ist es aus produktionstechnischen und konzeptionellen Gründen besonders vorteilhaft, wenn sämtliche Latchstufen, insbesondere auf die Anordnung der Multiplexeinrichtungen, im wesentlichen gleich oder gleichwirkend ausgebildet sind. Diese Maßnahme sieht also vor, daß sämtliche Multiplexeinrichtungen der Latchstufen jeweils in die Latcheinrichtungen und insbesondere in einer dort jeweils vorgesehenen Rückkoppelschleife integriert angeordnet sind.

Zur Auswahl der Multiplexeinrichtung ist es besonders vorteilhaft, wenn die Multiplexeinrichtung jeweils zur Aufnahme eines Auswahlsignals, insbesondere zur Auswahl einer Latenz oder Verzögerung, ausgebildet ist. Durch dieses Auswahlsignal ist dann die jeweilige Multiplexeinrichtung zumindest in den ersten und/oder den zweiten Auswahlzustand versetzbar. Dabei bedeutet der erste Auswahlzustand zum Beispiel ein Umgehen der eigentlichen Latcheinrichtung und der darin zwischengespeicherten Daten und ein Aufnehmen und Weiterleiten der Eingangsdaten direkt aus der Eingangsleitungseinrichtung, wodurch dann die der in dieser Weise ausgewählten Multiplexeinrichtung zugeordneten Latenzzeit gesetzt wird. Der zweite Zustand der jeweiligen Multiplexeinrichtung bedeutet dann zum Beispiel entsprechend, daß die zwischengespeicherten Daten der entsprechenden zugeordneten Latcheinrichtung auf den Datenausgangsanschluß der Latchstufe zur Weiterleitung geführt werden.

In vorteilhafter Weise ist bei einer weiteren Ausführungsform der erfindungsgemäßen Zwischenspeichereinrichtung jede der Latcheinrichtungen der Latchstufen jeweils zur Aufnahme eines Lesesignals oder Aktivierungssignals ausgebildet. Durch Auf-

nahme des Lesesignals oder Aktivierungssignals ist die jeweilige Latcheinrichtung der Latchstufe aktivierbar, insbesondere zur Ausgabe der in ihr zwischengespeicherten Daten zum jeweiligen Ausgangsdatenanschluß der Latchstufe hin.

5

Zur geordneten Abfolge des Zwischenspeichervorgangs ist es in vorteilhafter Weise ferner vorgesehen, daß die Latcheinrichtung und/oder die Multiplexeinrichtung einer Latchstufe jeweils zur Aufnahme eines Taktsignals ausgebildet sind. Durch
10 das Taktsignal, welches zur Verarbeitung der Daten zwischen sendender und empfangender Einrichtung ohnehin vorhanden ist, wird dann die Verarbeitung und insbesondere die Weiterleitung der zwischengespeicherten Daten jeweils gesteuert. Die Latenzen sind dann im wesentlichen als ganzzahlige Vielfache der
15 Taktzeit auffaßbar.

Gemäß einer bevorzugten Ausführungsform der erfindungsgemäßen Zwischenspeichereinrichtung sind zum Zuführen des Eingangsdatensignals, des Aktivierungssignals oder Lesesignals, des
20 Auswahlsignals und/oder des Taktsignals in jeder Latchstufe, insbesondere in jeder Latcheinrichtung, jeweils eine Leitungseinrichtung vorgesehen.

Vorteilhafterweise ist die Latcheinrichtung der Latchstufe
25 jeweils als Flipflopeinrichtung, insbesondere als D-Flipflop, oder dergleichen ausgebildet. Grundsätzlich sind dabei sämtliche Formen und Strukturen von D-Flipflops, auf NAND- oder NOR-Gattern basierend, denkbar.

30 Es ist ferner von Vorteil, daß durch die Abfolge der Latcheinrichtungen und insbesondere durch die Abfolge der Flipflopeinrichtungen und/oder durch die Abfolge der Auswahlsignale die Auswahlmöglichkeiten der Latenzen oder Verzögerungszeiten definierbar ist. Beim Vorliegen von $n-1$ in Serie geschalteten Latchstufen ergibt sich eine Auswahl von n
35 Latenzen. Befinden sich sämtliche Multiplexeinrichtungen im nicht aktiven, d.h. definitionsgemäß z.B. im zweiten Zustand,

so werden sämtliche Latcheinrichtungen in der Latchstufe in Serie geschaltet und es ergibt sich eine maximale Latenz, welche mindestens die Summe der Einzellatenzen der einzelnen Latchstufen beträgt. Wird dagegen eine der Multiplexeinrichtungen durch ein entsprechendes Auswahlsignal aktiviert und in den ersten Zustand versetzt, bei welchem die Latcheinrichtung der zugeordneten Latchstufe und aller eingangsseitig gelegenen vorangehenden Latchstufen umgangen werden, so addieren sich ausschließlich die Latenzen der nachfolgenden, verbleibenden Latchstufen zur Gesamtlatenz. Wird ausschließlich die Multiplexeinrichtung der ausgangsseitig gelegenen ersten Latchstufe in diesen aktivierten ersten Zustand versetzt, so werden sämtliche Latchstufen umgangen und das Eingangsdatensignal erscheint im wesentlichen ohne Latenz oder Verzögerung als Ausgangssignal an der Ausgangsleitungseinrichtung, wobei aber aufgrund der Integration dieser ersten Multiplexeinrichtung in einen Bereich einer zur Zwischenspeicherung vorgesehenen Rückkoppelschleife wegen der dann wirkenden Rückkopplung ein entsprechendes stabiles Halten dieser Ausgangssignale auf der Ausgangsleitungseinrichtung gewährleistet ist. Eine besonders einfache Ausführungsform der erfindungsgemäßen Zwischenspeichereinrichtung ergibt sich dann, wenn durch die Auswahlsignale höchstens eine der Multiplexeinrichtungen der Latchstufen in einen zweiten Auswahlzustand, nämlich den aktivierten Zustand, überführbar ist.

Nachfolgend wird die Erfindung anhand einer schematischen Zeichnung auf der Grundlage bevorzugter Ausführungsformen der erfindungsgemäßen Zwischenspeichereinrichtung näher erläutert. In dieser zeigt:

Fig. 1 ein schematisches Blockdiagramm einer ersten Ausführungsform der erfindungsgemäßen Zwischenspeichereinrichtung,

Fig. 2 eine andere Ausführungsform der erfindungsgemäßen Zwischenspeichereinrichtung und

Fig. 3 eine Zwischenspeichereinrichtung aus dem Stand der Technik.

5 Bei der in Fig. 1 gezeigten Ausführungsform der erfindungsge-
mäßen Zwischenspeichereinrichtung 2 weist diese ausschließ-
lich eine modifizierte erste Latchstufe L1 mit einer Latch-
einrichtung 6 auf, in welcher in einem Bereich 20 einer zur
Zwischenspeicherung vorgesehenen Rückkoppelschleife gerade
10 die Multiplexeinrichtung 7 dieser ersten Latchstufe L1 inte-
griert ausgebildet ist.

Von einer sendenden Einrichtung 1 ausgehend werden über eine
Eingangsleitungseinrichtung 4 der Zwischenspeichereinrichtung
15 2 Eingangsdaten D_{in} zugeführt. Diese durchlaufen gegebenen-
falls vorgeschaltete Latchstufen L_{n-1} bis L_2 , die konventio-
nell ausgestaltet sein können. Ausgangsseitig befindet sich
dann die erste Latchstufe L1, welche erfindungsgemäß weiter-
gebildet ist, wie das oben bereits beschrieben wurde. Die
20 Ausgangsdaten D_{out} werden von dieser ersten Latchstufe L1 über
den entsprechenden Datenausgangsanschluß 9 auf der Ausgangs-
leitungseinrichtung 5 der empfangenden Einrichtung 3 bereit-
gestellt.

25 Der Latcheinrichtung L1 werden über einen Dateneingangs-
anschluß 8 gegebenenfalls Daten der nachfolgenden Latchstufe L2
zugeführt. Die Anordnung zur Zwischenspeicherung in der Lat-
cheinrichtung der Latchstufe L1 besteht im wesentlichen aus
zwei Rückkoppelkreisen 20 und 21, wobei der erste Rück-
30 koppelkreis 21 konventionell ausgestaltet sein kann und durch
eine Logik 22 steuerbar ist, welche ein Taktsignal CLK über
eine Taktleitung 25b und ein Aktivierungs-/Lesesignal READ
über eine Leitung 25a erhält und diese zu einem Steuersignal
C1 für den Rückkoppelkreis 21 weiterverarbeitet.

35

Der zweite Rückkoppelkreis 20 kann in analoger Weise wie der
erste Rückkoppelkreis 21 im wesentlichen mit einem Rückkop-

pelglied 24a und einem Inverter 24b gebildet werden, wobei aber in den Bereich 20 der zweiten Rückkoppelschleife die Multiplexeinrichtung 7 in den Pfad eingebracht ist, und zwar derart, daß im nicht aktivierten Zustand S0 der Multiplexeinrichtung die Latcheinrichtung 6 der ersten Latchstufe L1 in konventioneller Art und Weise arbeitet. Beim Ausbilden des aktivierten Zustandes S1 der in die Latcheinrichtung 6 der ersten Latchstufe L1 eingebrachten Multiplexeinrichtung 7 wird dagegen die Latcheinrichtung 6 im wesentlichen umgangen und dem Ausgangsdatenanschluß 9 der ersten Latchstufe L1 über eine Leitung 26 das an der Zwischenspeichereinrichtung 2 anliegende Eingangsdatensignal D_{in} direkt zugeführt. Gesteuert wird die Multiplexeinrichtung 7 der ersten Latchstufe L1 über eine Logik 23, welche durch Verarbeitung eines Auswahlsignals LAT über eine Leitungseinrichtung 25c und gegebenenfalls des Lese-/Aktivierungssignals READ über eine Leitung 27 ein Steuersignal C2 für die Multiplexeinrichtung 7 erzeugt.

Innerhalb der Zwischenspeichereinrichtung 2 sind Leitungseinrichtungen 4, 4a, 4b und 4c für die Eingangsdaten D_{in} , das Lese-/Aktivierungssignal READ, das Taktsignal CLK bzw. das Auswahlsignal für die Latenz LAT vorgesehen.

Das in der Fig. 2 gezeigte Ausführungsbeispiel der erfindungsgemäßen Zwischenspeichereinrichtung weist $n-1$ identische Latchstufen L1 bis L_{n-1} auf, die alle die Struktur der in Fig. 1 gezeigten Latchstufe L1 besitzen und hier nur schematisch dargestellt sind. Über Leitungen 4, 4a, 4b und 4c werden die Signale D_{in} , READ, CLK bzw. LAT zugeführt und über entsprechende Abgriffe 25a, 25b, 25c, 26 und 27 den jeweiligen Latcheinrichtungen 6 und den darin integrierten Multiplexeinrichtungen 7 zugeführt.

Die Multiplexeinrichtungen 7 der Latchstufen L1 bis L_{n-1} der erfindungsgemäßen Ausführungsform der Fig. 2 sind jeweils in Bereichen 20 von zur Zwischenspeicherung in den Latcheinrichtungen 6 vorgesehenen Rückkoppelschleifen integriert. Diese

Bereiche 20 der Rückkoppelschleifen sind in der Ausführungsform der Fig. 2 nur schematisch dargestellt.

Durch Setzen eines der Signale oder Signalkomponenten LAT1
5 bis LATn-1 wird höchstens eine der Multiplexeinrichtungen 7
in einen aktivierten Zustand S1 überführt, so daß die Lat-
cheinrichtungen 6 der zugeordneten Latchstufe und aller aus-
gangsseitig vorangehenden Latchstufen umgangen wird, so daß
an der eingangsseitig nachfolgenden Latchstufe bzw. deren Da-
10 teneingangsanschluß 8 das Eingangsdatensignal D_{in} direkt an-
liegt. Wenn also durch ein aktivierendes Signal LATj die Mul-
tiplexeinrichtung 7 der Latcheinrichtung 6 der Latchstufe Lj
in einen aktivierten Zustand S1 überführt wird, so ist mit
dieser Auswahl die Latenz j-1 ausgewählt, welche sich im we-
15 sentlichen als Summe der Latenzen oder Verzögerungszeiten der
von der Latchstufe Lj aus gesehen vorangehenden ausgangssei-
tigen Latchstufen L1 bis Lj-1 zusammensetzt.

In Fig. 3 ist im Vergleich dazu eine Zwischenspeichereinrich-
20 tung 32 aus dem Stand der Technik gezeigt. Diese weist eben-
falls n-1 Latchstufen L1 bis Ln-1 in Serie geschaltet auf.
Sämtliche Latchstufen L1 bis Ln-1 sind identisch ausgebildet,
und zwar im Gegensatz zum erfindungsgemäßen Vorgehen mit im
wesentlichen in Serie geschalteter Latcheinrichtung 6 und
25 Multiplexeinrichtung 7. Durch diese Anordnung, insbesondere
im Hinblick auf die ausgangsseitig gelegene erste Latchstufe
L1, ist es nicht möglich, das Ausgangsdatensignal D_{out} auf der
Ausgangsleitungseinrichtung 5 stabil zu halten, falls durch
ein Aktivieren des Auswahlsignals LAT1 die Multiplexeinrich-
30 tung 7 zur Umgehung sämtlicher Latchstufen L1 bis Ln-1 bzw.
deren Latcheinrichtungen 6 gesetzt ist. Dann nämlich liegt an
der Ausgangsleitungseinrichtung 5 das Eingangsdatensignal D_{in}
direkt an, so daß eine Änderung im Eingangsdatensignal D_{in}
aufgrund einer fehlenden Zwischenspeicherung sich als im we-
35 sentlichen instantane entsprechende Änderung des Ausgangsda-
tensignals D_{out} bemerkbar macht.

Im Gegensatz dazu wird durch das erfindungsgemäße Vorgehen, nämlich die zumindest teilweise Integration der Multiplexeinrichtung in die Latcheinrichtung der ausgangsseitig gelegenen ersten Latchstufe eine Stabilisierung der Ausgangsdaten D_{out} 5 gewährleistet, und zwar ohne das Ausbilden eines zusätzlichen Latchmechanismus und damit einhergehende Platzverschwendung und Verschwendung von Energieresourcen.

Patentansprüche

1. Zwischenspeichereinrichtung (2) zur Aufnahme und Zwischen-
speicherung einer Eingangsleitungseinrichtung (4) zugeführter
5 Eingangsdaten (D_{in}) und zur Ausgabe von mit den Eingangsdaten
(D_{in}) korrespondierenden Ausgangsdaten (D_{out}) auf einer Aus-
gangsleitungseinrichtung (5) mit auswählbarer Latenz oder
Verzögerung,
- wobei eine Mehrzahl Latchstufen (L_1, \dots, L_{n-1}) vorgesehen
10 ist, welche jeweils zumindest eine Latcheinrichtung (6) und
eine Multiplexeinrichtung (7) aufweisen, und
- wobei die Multiplexeinrichtung (7) jeweils so in der jewei-
ligen Latchstufe (L_1, \dots, L_{n-1}) angeordnet und ausgebildet
ist, daß einem jeweiligen Datenausgangsanschluß (9) der
15 Latchstufe (L_1, \dots, L_{n-1}) steuerbar wahlweise zumindest
entweder in einem ersten Auswahlzustand (S_1) der Multi-
plexeinrichtung (7) die an der Eingangsleitungseinrichtung
(4) der Zwischenspeichereinrichtung (2) anliegenden Ein-
gangsdaten (D_{in}) direkt oder in einem zweiten Auswahlzu-
20 stand (S_0) der Multiplexeinrichtung (7) in der Latchein-
richtung (6) der jeweiligen Latchstufe (L_1, \dots, L_{n-1}) zwi-
schengespeicherte Daten (D_1, \dots, D_{n-1}) zuführbar sind,
dadurch gekennzeichnet,
daß zumindest die Multiplexeinrichtung (7) der ausgangsseitig
25 ersten Latchstufe (L_1) im Bereich (20) einer zur Datenzwi-
schenspeicherung vorgesehenen Rückkoppelschleife der Lat-
cheinrichtung (6) dieser Latchstufe (L_1) derart ausgebildet
ist, so daß auf der Ausgangsleitungseinrichtung (5) aus-
gegebene Daten (D_{out}) dort stabil, insbesondere unabhängig vom
30 Aktivierungszustand der Latcheinrichtungen (6) der Latchstu-
fen (L_1, \dots, L_{n-1}) und/oder von einer aktuellen Änderung der
Eingangsdaten (D_{in}), haltbar sind.

2. Zwischenspeichereinrichtung nach Anspruch 1,
dadurch gekennzeichnet,
daß jede Latchstufe (L_1, \dots, L_{n-1}) mindestens einen Daten-
eingangsanschluß (8) und einen Datenausgangsanschluß (9) auf-
5 weist.

3. Zwischenspeichereinrichtung nach Anspruch 2,
dadurch gekennzeichnet,
daß die Latchstufen (L_1, \dots, L_{n-1}) so im wesentlichen in Se-
10 rie angeordnet sind, daß von der Eingangsleitungseinrichtung
(4) zur Ausgangsleitungseinrichtung (5) der Zwischenspei-
chereinrichtung (2) hin der Datenausgangsanschluß (9) einer
jeweiligen vorangehenden Latchstufe (L_j) jeweils mit dem Da-
teneingangsanschluß (8) einer direkt nachfolgenden Latchstufe
15 (L_{j+1}) verbunden ist.

4. Zwischenspeichereinrichtung nach einem der vorangehenden
Ansprüche,
dadurch gekennzeichnet,
20 daß sämtliche Latchstufen (L_1, \dots, L_{n-1}), insbesondere in
bezug auf die Anordnung der Multiplexeinrichtungen (7), im
wesentlichen gleich oder gleichwirkend ausgebildet sind.

5. Zwischenspeichereinrichtung nach einem der vorangehenden
Ansprüche,
25 dadurch gekennzeichnet,
daß die Multiplexeinrichtung (7) jeweils zur Aufnahme eines
Auswahlsignals (LAT), insbesondere zur Auswahl einer Latenz
oder einer Verzögerungszeit, ausgebildet ist, durch welches
30 die jeweilige Multiplexeinrichtung (7) zumindest in den er-
sten und den zweiten Auswahlzustand (S_1, S_0) versetzbar ist.

6. Zwischenspeichereinrichtung nach einem der vorangehenden
Ansprüche,
35 dadurch gekennzeichnet,
daß die Latcheinrichtung (6) der Latchstufen (L_1, \dots, L_{n-1})
jeweils zur Aufnahme eines Lesesignals (READ) ausgebildet

ist, durch welches die jeweilige Latcheinrichtung (6) aktivierbar ist, insbesondere zur Ausgabe der in ihr zwischengespeicherten Daten (D_1, \dots, D_{n-1}) zum Datenausgangsanschluß (9) der jeweiligen Latchstufe (L_1, \dots, L_{n-1}) hin.

5

7. Zwischenspeichereinrichtung nach einem der vorangehenden Ansprüche,

dadurch gekennzeichnet,

10 daß die Latcheinrichtung (6) und/oder die Multiplexeinrichtung (7) einer Latchstufe (L_1, \dots, L_{n-1}) jeweils zur Aufnahme eines Taktsignals (CLK) ausgebildet sind, durch welches die Verarbeitung jeweils steuerbar ist.

15 8. Zwischenspeichereinrichtung nach einem der vorangehenden Ansprüche,

dadurch gekennzeichnet,

20 daß zum Zuführen des Eingangsdatensignals (D_{in}), des Aktivierungssignals (READ), des Auswahlsignals (LAT) und/oder des Taktsignals (CLK) in jeder Latchstufe (L_1, \dots, L_{n-1}), insbesondere der jeweiligen Latcheinrichtung (6), jeweils eine Leitungseinrichtung (25, 25a, 25b, 25c) vorgesehen ist.

9. Zwischenspeichereinrichtung nach einem der vorangehenden Ansprüche,

25 dadurch gekennzeichnet,

daß die Latcheinrichtung (6) jeweils als Flipflopeinrichtung, insbesondere als D-Flipflop, oder dergleichen ausgebildet ist.

30 10. Zwischenspeichereinrichtung nach einem der vorangehenden Ansprüche,

dadurch gekennzeichnet,

35 daß durch die Abfolge der Latcheinrichtungen (6) der Latchstufen (L_1, \dots, L_{n-1}) und insbesondere der Flipflopeinrichtungen und/oder durch die Auswahlsignale (LAT) die Auswahlmöglichkeiten der Latenzen oder Verzögerungszeiten definierbar ist.

11. Zwischenspeichereinrichtung nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet,
5 daß durch die Auswahlsignale (LAT) eine der Multiplexeinrichtungen (7) höchstens einer Latchstufe (L_1, \dots, L_{n-1}) in einen zweiten Auswahlzustand überführbar ist.

Zusammenfassung

Zwischenspeichereinrichtung

- 5 Um auf einer Ausgangsleitung (5) ausgegebene Daten (D_{out}) stabil zu halten, wird bei einer Zwischenspeichereinrichtung (2) mit einer Mehrzahl von Latchstufen ($L1, \dots, L_{n-1}$), welche jeweils eine Latcheinrichtung (6) und eine Multiplexeinrichtung (7) aufweisen, vorgeschlagen, daß zumindest die Multiplexeinrichtung der ausgangsseitig ersten Latchstufe ($L1$) im Bereich (20) einer zur Datenzwischenspeicherung vorgesehenen Rückkoppelschleife der Latcheinrichtung (6) dieser Latchstufe ($L1$) ausgebildet ist.

15 (Fig. 1)

Bezugszeichenliste

	1	sendende Einrichtung
	2	Zwischenspeichereinrichtung
5	3	empfangende Einrichtung
	4	Eingangsleitungseinrichtung
	4a	Leitungseinrichtung Lese-/Aktivierungssignal
	4b	Leitungseinrichtung Taktsignal
	4c	Leitungseinrichtung Auswahlsignal
10	5	Ausgangsleitungseinrichtung
	6	Latcheinrichtung
	7	Multiplexeinrichtung
	8	Dateneingangsanschluß Latchstufe
	9	Datenausgangsanschluß Latchstufe
15	20	(Bereich) Rückkoppelschleife
	21	Rückkoppelschleife
	22	Steuerlogik
	23	Steuerlogik
	24a	Rückkoppelschaltung
20	24b	Inverter
	25	Leitungseinrichtung D_{in}
	25a	Leitungseinrichtung READ
	25b	Leitungseinrichtung CLK
	25c	Leitungseinrichtung LAT
25	26	Leitungseinrichtung D_{in}
	27	Leitungseinrichtung READ
	30	Zwischenspeichereinrichtung Stand der Technik
	CLK	Taktsignal
	C1	Steuersignal
30	C2	Steuersignal
	D_{in}	Eingangsdatensignal
	D_{out}	Ausgangsdatensignal
	$L1, \dots, L_{n-1}$	Latchstufen
	LAT	Auswahlsignal
35	READ	Lese-/Aktivierungssignal Multiplexeinrichtung
	S0	inaktiver, erster Zustand Multiplexeinrichtung
	S1	aktiver, zweiter Zustand Multiplexeinrichtung



Fig. 1

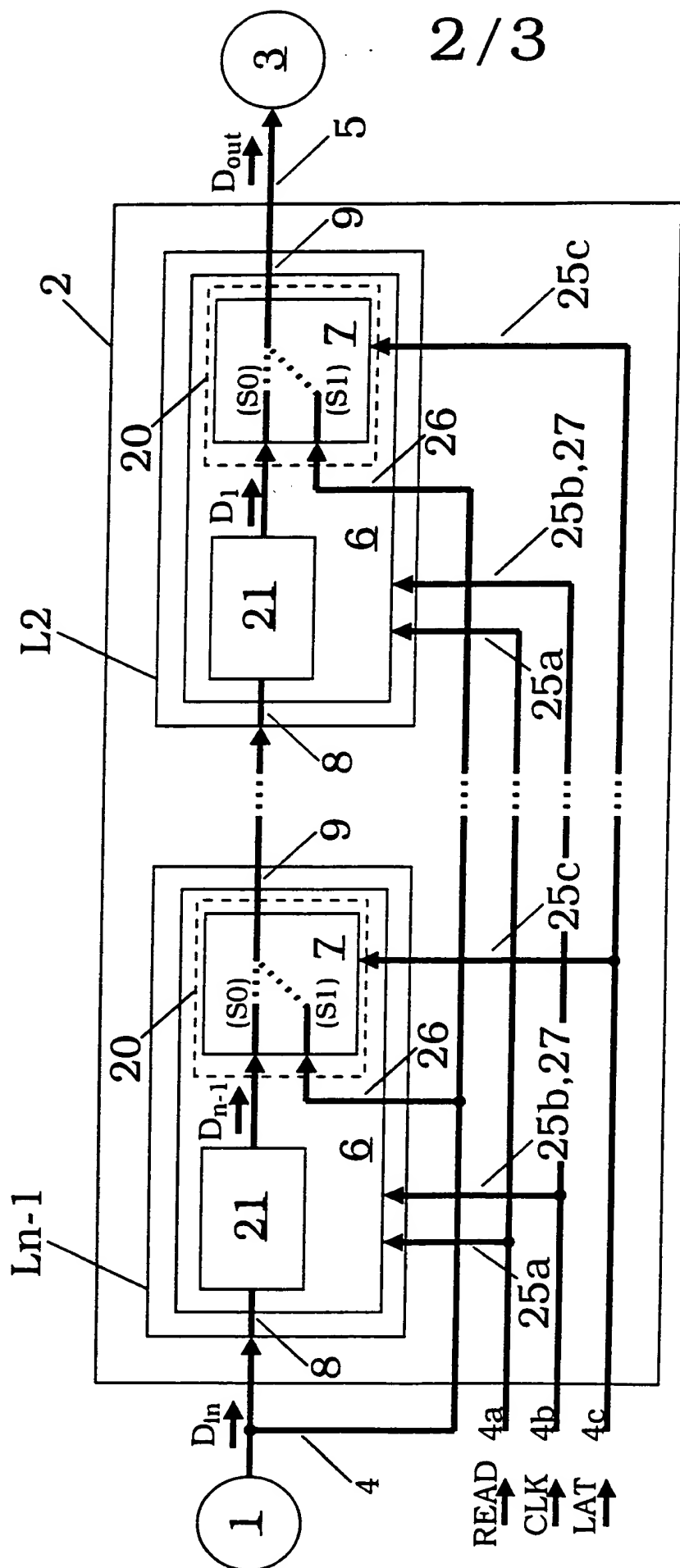


Fig. 2

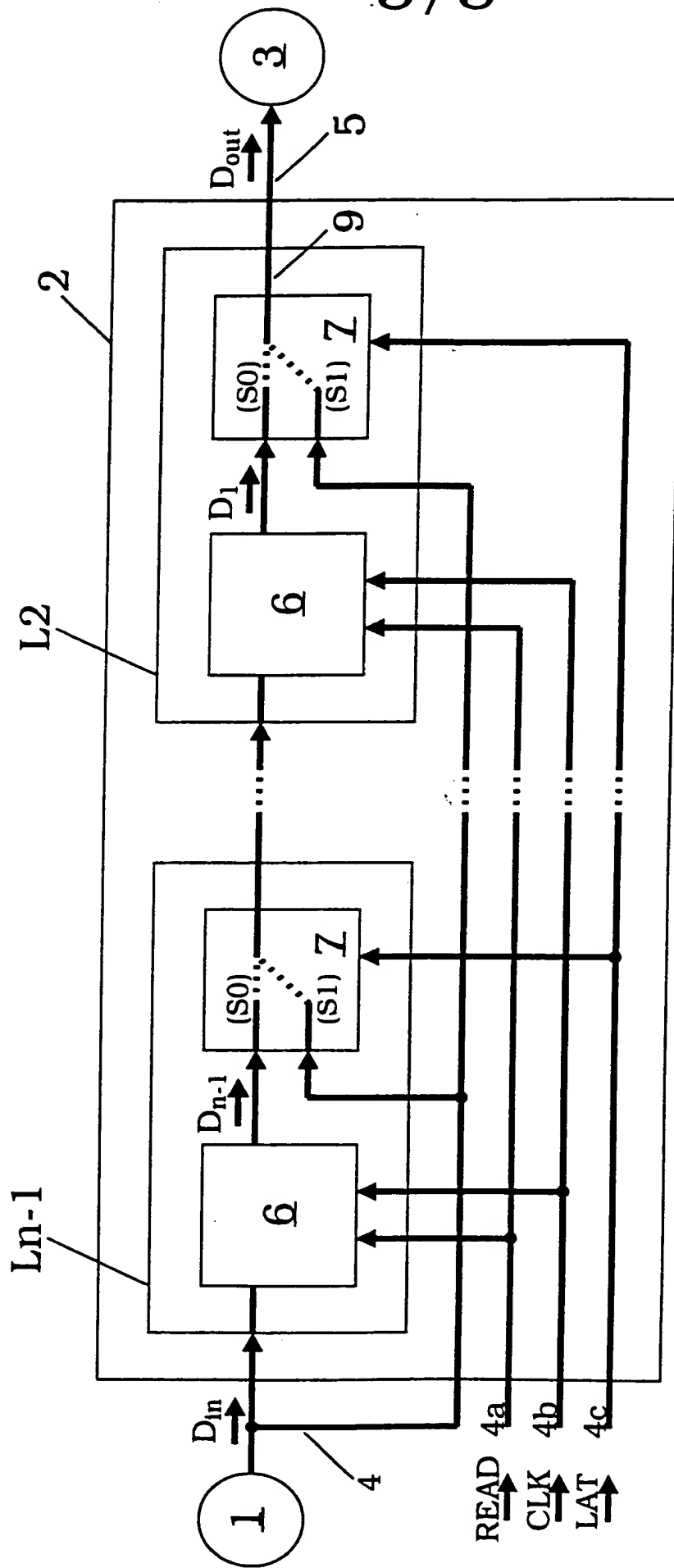


Fig. 3